

Docket No.: 67161-049

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Fumitoshi YAMAMOTO : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: September 09, 2003 : Examiner: Unknown
For: SEMICONDUCTOR DEVICE WITH SURGE PROTECTION CIRCUIT

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant(s) hereby claims(s) the priority of:
Japanese Patent Application No. 2003-052780, filed February 28, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: September 9, 2003

67161-049
YAMAMOTO
September 9, 2003

日本国特許庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application: 2003年 2月 28日

出願番号

Application Number: 特願 2003-052780

[ST.10/C]:

[JP 2003-052780]

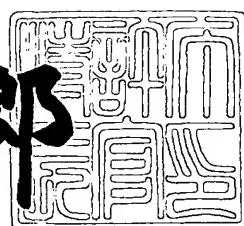
出願人

Applicant(s): 三菱電機株式会社

2003年 3月 24日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特 2003-3019446

【書類名】 特許願
【整理番号】 543560JP01
【提出日】 平成15年 2月28日
【あて先】 特許庁長官殿
【国際特許分類】 H02H 7/20
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 山本 文寿
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100064746
【弁理士】
【氏名又は名称】 深見 久郎
【選任した代理人】
【識別番号】 100085132
【弁理士】
【氏名又は名称】 森田 俊雄
【選任した代理人】
【識別番号】 100083703
【弁理士】
【氏名又は名称】 仲村 義平
【選任した代理人】
【識別番号】 100096781
【弁理士】
【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 信号入力端子に電気的に接続され、かつダイオードとトランジスタとを有するサージ保護回路を備えた半導体装置であって、

主表面を有する半導体基板と、

前記半導体基板の主表面に形成されたフィールド酸化膜と、

前記半導体基板の主表面上に形成され、かつ前記信号入力端子に電気的に接続された導電層とを備え、

前記ダイオードのカソードは、第1のカソード領域と第2のカソード領域とを有し、前記第1のカソード領域は、前記導電層と電気的に接続して前記半導体基板の主表面に形成されていて、前記第2のカソード領域は、前記ダイオードのアノード領域とツェナー降伏が生じるpn接合を構成し、

前記ツェナー降伏が生じるpn接合は、前記フィールド酸化膜から離れていることを特徴とする、半導体装置。

【請求項2】 前記カソードと前記トランジスタのコレクタとが前記信号入力端子に電気的に接続されており、前記アノードと前記トランジスタのベースとは互いに同じ導電型に形成されていて、かつ互いに電気的に接続されていることを特徴とする、請求項1に記載の半導体装置。

【請求項3】 前記アノード領域の側面または上面を覆うように、前記第2のカソード領域が形成されていることを特徴とする、請求項1または2に記載の半導体装置。

【請求項4】 前記第2のカソード領域の側面または上面を覆うように、前記アノード領域が形成されていることを特徴とする、請求項1または2に記載の半導体装置。

【請求項5】 ツェナー降伏が生じるpn接合を構成する前記アノード領域と前記第2のカソード領域とは、ともに前記半導体基板内に形成されたエピタキシャル層の内部に形成されていることを特徴とする、請求項1～4のいずれかに記載の半導体装置。

【請求項6】 前記トランジスタのコレクタは、前記半導体基板内に形成されたエピタキシャル層と、前記エピタキシャル層内に形成された拡散層とを有し、前記拡散層は前記エピタキシャル層よりも不純物濃度が高いことを特徴とする、請求項1～5のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、より特定的にはサージ保護回路を備えた半導体装置に関する。

【0002】

【従来の技術】

自動車、モーター、蛍光表示、オーディオ等やトランジスタ素子等よりなるIC (Integrated Circuit) を瞬間に大きく増加した電流あるいは電圧(サージ)から保護するためのサージ保護回路として、様々なものが提案されてきた。このうち、1つのダイオードと1つのn p nトランジスタから構成されるサージ保護回路は、簡易な構成で得られるサージ保護回路として知られている。1つのダイオードと1つのn p nトランジスタから構成される従来のサージ保護回路は、以下のような構成になっている。

【0003】

1つのダイオードと1つのn p nトランジスタから構成される従来のサージ保護回路において、ダイオードのカソードは、フィールド酸化膜によって電気的に分離された半導体基板の主表面に形成された高濃度の第1のn⁺拡散層を有している。この第1のn⁺拡散層は、半導体基板上に形成された導電層と接触することで信号入力端子と電気的に接続されている。ダイオードのアノードは、p型拡散層と、p型拡散層内に形成されたp⁺拡散層とを有している。このp⁺拡散層はカソードとなるn⁺拡散層と直接接している。

【0004】

また、n p nトランジスタのコレクタは、上記第1のn⁺拡散層と、埋込みn⁺拡散層と、半導体基板内に形成されたn⁻エピタキシャル層とを有している。n

p-nトランジスタのベースは、n⁻エピタキシャル層内に形成されたp型拡散層を有している。n-p-nトランジスタのエミッタは、p型拡散層内に形成された第2のn⁺拡散層を有している。

【0005】

上記第1のn⁺拡散層は、ダイオードのカソード領域に含まれ、かつn-p-nトランジスタのコレクタ領域に含まれている。また、p型拡散層はダイオードのアノード領域に含まれ、かつn-p-nトランジスタのベース領域に含まれている。

【0006】

続いて、上記従来のサージ保護回路の動作について説明する。信号入力端子にサージ電圧が印加されると、上記第1のn⁺拡散層にサージ電圧が印加され、ダイオードの逆方向電圧が上昇する。この逆方向電圧が一定値を超えるとダイオードがツェナー降伏し、ダイオードのカソードからアノードへ電流が流れる。このアノード領域に含まれているp型拡散層はn-p-nトランジスタのベース領域でもあるため、この電流がn-p-nトランジスタのベース電流となる。これにより、n-p-nトランジスタが導通するため、信号入力端子に印加されたサージの電荷がn-p-nトランジスタのエミッタ側から放電される。

【0007】

また、上記以外のサージ保護回路は、たとえば特開平5-206385号公報および特開昭56-19657号公報に開示されている（特許文献1、2参照）。

【0008】

【特許文献1】

特開平5-206385号公報

【0009】

【特許文献2】

特開昭56-19657号公報

【0010】

【発明が解決しようとする課題】

上記構成を有する従来のサージ保護回路においては、ダイオードのカソード領

域となる第1のn⁺拡散層と上記導電層とのコンタクト抵抗を下げるために、第1のn⁺拡散層は高濃度に形成されている。また、この第1のn⁺拡散層と接する部分におけるアノード領域の濃度が低いと、ダイオードが降伏した場合に、第1のn⁺拡散層とアノード(p型拡散層)とのp n接合の空乏層中に存在する電子が、第1のn⁺拡散層に隣接するフィールド酸化膜にトラップされる。この場合、p n接合の空乏層が広がり、ダイオードの降伏電圧が上昇する問題が生じる。したがって、アノードとなるp型拡散層内の第1のn⁺拡散層と接する部分には、高濃度のp⁺拡散層を形成することにより、第1のn⁺拡散層からの電子をスムーズにアノード(p型拡散層)へ流す必要がある。つまり、ツェナー降伏が生じるp n接合を構成するアノード領域とカソード領域とがともに高濃度で形成される必要がある。

【0011】

しかしながら、ツェナー降伏が生じるp n接合を構成するアノード領域とカソード領域とがともに高濃度で形成されると、アノード領域とカソード領域とのp n接合の空乏層幅が極端に狭くなる。その結果、降伏電圧よりも低い電圧でサージ保護回路に電流が流れる現象(電流のリーク)が起り、サージ保護回路が正常に動作しないという問題があった。

【0012】

したがって、本発明の目的は、電流のリークが生じず、かつ正常に動作するサージ保護回路を備えた半導体装置を提供することである。

【0013】

【課題を解決するための手段】

本発明の半導体装置は、信号入力端子に電気的に接続され、かつダイオードとトランジスタとを有するサージ保護回路を備えた半導体装置であって、主表面を有する半導体基板と、半導体基板の主表面に形成されたフィールド酸化膜と、半導体基板の主表面上に形成され、かつ信号入力端子に電気的に接続された導電層とを備えている。ダイオードのカソードは、第1のカソード領域と第2のカソード領域とを有し、第1のカソード領域は、導電層と電気的に接続して半導体基板の主表面に形成されていて、第2のカソード領域は、ダイオードのアノード領域

とツェナー降伏が生じる p-n 接合を構成し、ツェナー降伏が生じる p-n 接合は、フィールド酸化膜から離れている。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態について図に基づいて説明する。

【0015】

(実施の形態1)

図1は本発明の実施の形態1におけるサージ保護回路を示す回路図である。

【0016】

図1を参照して、サージ保護回路31は、ダイオード22とn-p-nトランジスタ23とを備えている。ダイオード22のカソードおよびn-p-nトランジスタ23のコレクタは、信号入力端子21および装置部分25に電気的に接続されている。ダイオード22のアノードとn-p-nトランジスタ23のベースとは互いに電気的に接続されている。n-p-nトランジスタ23のエミッタは接地電位24に電気的に接続されている。

【0017】

続いて、本実施の形態におけるサージ保護回路を備えた半導体装置の構成について説明する。

【0018】

図2は、本発明の実施の形態1におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図3は図2のI—I—I—I—I線に沿った断面図である。

【0019】

図2および図3を参照して、半導体装置51において、たとえばシリコン単結晶よりなる半導体基板41の下部にp⁻領域1が形成されている。p⁻領域1の上には注入拡散によりn⁺拡散層2が形成されている。このn⁺拡散層2の上にn⁻エピタキシャル層4が形成されている。このn⁻エピタキシャル層4の周囲を取り囲むように、p⁻領域1上にp⁺拡散層3aとp型拡散層6aとが形成されていて、p型拡散層6a内にはp⁺拡散層9が形成されている。n⁺拡散層2およびn

⁻エピタキシャル層4内には注入拡散によりp⁺拡散層3bが形成されている。また、半導体基板41の表面には、半導体基板の各領域を電気的に分離するためのフィールド酸化膜7が形成されている。フィールド酸化膜7とは、LOCOS（Local Oxidation of Silicon）法により形成されるシリコン酸化膜のことである。p⁺拡散層9とn⁺拡散層8aとn⁺拡散層8bとn⁺拡散層8cとは、フィールド酸化膜7によって各々電気的に分離されている。

【0020】

このn⁺拡散層2およびn⁻エピタキシャル層4内には、サージ保護回路を構成するダイオード22とn_pnトランジスタ23とが形成されている。ダイオード22は、アノード領域とカソード領域とを有している。n_pnトランジスタ23は、エミッタ領域とベース領域とコレクタ領域とを有している。

【0021】

ダイオード22において、アノード領域は、n型拡散層5内に形成されたp型拡散層6bにより構成されている。n型拡散層5はn⁻エピタキシャル層4内に形成されている。カソード領域は、n⁻エピタキシャル層4内に形成されたn⁺拡散層8c（第1のカソード領域）と、n⁻エピタキシャル層4と、n型拡散層5と、n型拡散層5およびp型拡散層6b内に形成されたn⁺拡散層8b（第2のカソード領域）とにより構成されている。

【0022】

n_pnトランジスタ23において、コレクタ領域は、n⁻エピタキシャル層4内に形成されたn⁺拡散層8cと、n⁻エピタキシャル層4と、n⁺拡散層2とにより構成されている。ベース領域は、n⁻エピタキシャル層4内に形成されたp型拡散層6aにより構成されている。エミッタ領域は、p型拡散層6a内に形成されたn⁺拡散層8aにより構成されている。

【0023】

本実施の形態においては、ツェナー降伏が生じるp_n接合は、p型拡散層6bとn⁺拡散層8bとにより構成されている。ここで、n⁺拡散層8bはp型拡散層6bの上面を覆うように形成されている。半導体基板41を上面から見た場合（図2）におけるn⁺拡散層8bの外周部分は、n型拡散層5と電気的に接続され

ている。また、p型拡散層6bの側面を覆うようにn型拡散層5が形成されている。これによりn⁺拡散層8bおよびn型拡散層5で構成されるカソード領域は四角柱の形状で形成されていて、この四角柱の内部にアノード領域であるp型拡散層6bが形成されている。したがって、ツェナー降伏が生じるpn接合（p型拡散層6bとn⁺拡散層8bとにより構成されるpn接合）はこの四角柱の内部に構成されることとなり、フィールド酸化膜7から離れている。

【0024】

n型拡散層5は、たとえば約10¹²個/cm²の注入量でP（リン）をn⁻エピタキシャル層4に注入することにより形成されている。p型拡散層6a、6bは、たとえば約10¹³個/cm²の注入量でB（ボロン）をn⁻エピタキシャル層4に注入することにより形成されている。n⁺拡散層8a～8cは、n⁻エピタキシャル層4と、n型拡散層5およびp型拡散層6bと、p型拡散層6aとの表面において、たとえば約10¹⁵個/cm²の注入量でAs（ヒ素）を注入することにより形成されている。p⁺拡散層9は、p型拡散層6aの表面において、たとえば約10¹⁵個/cm²の注入量でBまたはBF₂を注入することにより形成されている。

【0025】

半導体基板41表面を覆うように半導体基板41の主表面上に層間絶縁膜10が形成されている。層間絶縁膜10にはコンタクトホール11a～11cの各々が形成されている。このコンタクトホール11a～11cの各々を介して上記の各領域に電気的に接続するように、層間絶縁膜10上に、たとえば不純物が導入された多結晶シリコン（以下、ドープトポリシリコンと称する）よりなる配線12a、12bが形成されている。これにより、p⁺拡散層9とn⁺拡散層8aとが電気的に接続されている。なお、配線12a（導電層）は信号入力端子21（図1）および装置部分25（図1）に電気的に接続されている。

【0026】

続いて、本実施の形態におけるサージ保護回路の動作について説明する。

図1～図3を参照して、サージ電圧が信号入力端子21に印加されると、n⁺拡散層8bにサージ電圧が印加され、ダイオード22のアノードとカソードとの

間の逆方向電圧が上昇する。これにより、ダイオード22がツェナー降伏し、 n^+ 拡散層8bからp型拡散層6bに電流が流れる。このp型拡散層6bからn-p-nトランジスタ23のベース領域であるp型拡散層6aに電流が流れ、n-p-nトランジスタ23がONする。n-p-nトランジスタ23がONすると、n-エピタキシャル層4からn⁺拡散層8aに電流が流れることにより、信号入力端子21に印加されたサージ電圧は接地電位24である配線12aに開放される。これにより、装置部分25にサージ電圧が印可されることが防止される。

【0027】

本実施の形態においては、ダイオード22のカソード領域はn⁺拡散層8cとn-エピタキシャル層4とn型拡散層5とn⁺拡散層8bとにより構成されている。このうち、配線12bに電気的に接続されているn⁺拡散層8cと、ツェナー降伏が生じるp-n接合を構成しているn⁺拡散層8bとが別々の領域で構成されている。したがって、n⁺拡散層8cの不純物濃度を高くすることにより配線12bとのコンタクト抵抗を下げることができる。また、p型拡散層6bとn⁺拡散層8bとの不純物濃度を低くすることにより、電流のリークを防止できる。さらに、ツェナー降伏が生じるp型拡散層6bとn⁺拡散層8bとのp-n接合がフィールド酸化膜7から離れているので、アノード領域とカソード領域とのp-n接合の空乏層中に存在する電子がフィールド酸化膜7にトラップされ、これによりp-n接合の空乏層が広がり、ダイオード22の降伏電圧が上昇するという問題を解決できる。したがって、電流のリークが生じず、かつ正常に動作するサージ保護回路を備えた半導体装置51が得られる。

【0028】

本願発明者らは、上記の効果を確認すべく以下の実験を行なった。

具体的には、従来のサージ保護回路を備えた半導体装置の電流・電圧特性と本実施の形態におけるサージ保護回路を備えた半導体装置の電流・電圧特性とを調べた。図4(a)は、従来のサージ保護回路を備えた半導体装置の電流・電圧特性を示した図である。図4(b)は、本発明の実施の形態1におけるサージ保護回路を備えた半導体装置の電流・電圧特性を示した図である。なお、図4(a)、(b)において、電流はn-p-nトランジスタ23(図1)を流れる電流を対数

表示している。電圧は、接地電位24（図1）の電位を0としたときの信号入力端子21（図1）の電位を示している。また、 V_1 はダイオード22（図1）の降伏電圧を示している。

【0029】

これらの結果から、従来のサージ保護回路においては、電圧が V_1 以下の場合にも電流が流れている。これはダイオード22の電流のリークに起因するものである。一方、本発明においては、電圧が V_1 以下の場合には 10^{-12} Aオーダーのわずかな電流しか流れていない。そして電圧が V_1 以上になると急激に大きな電流が流れている。したがって、本発明の実施の形態1のサージ保護回路を備える半導体装置は、電流のリークが生じず、正常に動作していることがわかる。

【0030】

また、本実施の形態においては、サージ保護回路31は、ダイオード22のカソードとトランジスタ23のコレクタとが信号入力端子21に電気的に接続されており、ダイオード22のアノードとトランジスタ23のベースとは互いに同じ導電型に形成されていて、かつ互いに電気的に接続されている。

【0031】

これにより、ダイオード22がトランジスタ23より先に確実に降伏するよう回路が構成されるため、ダイオード22が降伏することでトランジスタ23が確実にONし、それにより信号入力端子21に印加されたサージ電圧が確実に開放されるため、誤作動を防止でき正常に動作するサージ保護回路31を実現することができる。

【0032】

さらに、本実施の形態においては、アノード領域であるp型拡散層6bの上面を覆うように、ツェナー降伏が生じるpn接合を構成するカソード領域であるn⁺拡散層8bが形成されている。

【0033】

これにより、ツェナー降伏が生じるpn接合がフィールド酸化膜7から離れている構成を容易に作製できる。したがって、ツェナー降伏が生じるpn接合の空乏層中の電子がフィールド酸化膜7にトラップされ空乏層幅が広がることにより

ダイオード22の降伏電圧が上がることを容易に防止できる。

【0034】

なお、本実施の形態においては、アノード領域であるp型拡散層6bの上面を覆うように、ツェナー降伏が生じるpn接合を構成するカソード領域であるn⁺拡散層8bが形成されている場合について示したが、本発明はこのような場合に限定されるものではなく、アノード領域であるp型拡散層6bの側面を覆うように、ツェナー降伏が生じるpn接合を構成するカソード領域が形成されていてもよい。

【0035】

(実施の形態2)

図5は、本発明の実施の形態2におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図6は図5のVI-VI線に沿った断面図である。

【0036】

図5および図6を参照して、本実施の形態においては、n⁺拡散層8cを取り囲むようにn⁻エピタキシャル層4内にn⁺拡散層13aが形成されている。n⁺拡散層13aは、n⁺拡散層2に到達するようにn⁻エピタキシャル層4内にたとえばリンガラスを注入拡散することにより形成されている。これにより、n p nトランジスタ2,3のコレクタ領域は、n⁺拡散層8cとn⁺拡散層13aとn⁺拡散層2とn⁻エピタキシャル層4とにより構成されている。なお、n⁺拡散層13aはn⁻エピタキシャル層4よりも不純物濃度が高い。

【0037】

なお、これ以外の構成については図1～図3に示す実施の形態1の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0038】

本実施の形態のサージ保護回路を備えた半導体装置においては、n p nトランジスタ2,3のコレクタ領域がさらにn⁺拡散層13aで構成されている。n⁺拡散層はn⁻エピタキシャル層に比べて不純物濃度が大きいので、コレクタ領域の電

気抵抗（コレクタ抵抗）が小さい。このため、トランジスタの動作速度を向上することができ、高周波数のサージに対してもサージ保護回路が動作可能となる。これについて以下に説明する。

【0039】

トランジスタの動作速度はベース領域での少数キャリアの走行時間 τ_B が短いほど速くなる。ベース領域での少数キャリアの走行時間 τ_B は次式で表される。

【0040】

【数1】

$$\tau_B = \frac{Q_B}{I_C} \quad \cdots(1)$$

【0041】

ここで、 Q_B はベース領域に注入された少数キャリアの電荷、 I_C はコレクタ電流、 τ_B はベース領域での少数キャリアの走行時間である。式1を参照して、コレクタ電流 I_C が大きくなると少数キャリアの走行時間 τ_B が短くなる。本実施の形態においては、 n^+ 拡散層が形成されることによりコレクタ抵抗が小さくなるので、コレクタ電流 I_C が大きくなる。その結果、ベース領域での少数キャリアの走行時間 τ_B が短くなり、トランジスタの動作速度が向上することができ、高周波数のサージに対してもサージ保護回路が動作可能となる。

【0042】

(実施の形態3)

図7は、本発明の実施の形態3におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0043】

図7を参照して、本実施の形態においては、 p 型拡散層6aの図中右側の n^- エピタキシャル層4内にも n^+ 拡散層13bが形成されている。 n^+ 拡散層13bは n^+ 拡散層13aと同様の方法により形成される。これにより、 $n-p-n$ トランジスタ23のコレクタ領域は、 n^+ 拡散層8cと n^+ 拡散層13aと n^+ 拡散層2と n^+ 拡散層13bと n^- エピタキシャル層4とにより構成されている。

【0044】

なお、これ以外の構成については図6に示す実施の形態2の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0045】

本実施の形態のサージ保護回路を備えた半導体装置においては、n p nトランジスタ23のコレクタ領域がさらにn⁺拡散層13bで構成されている。n⁺拡散層はn⁻エピタキシャル層に比べて不純物濃度が大きいので、コレクタ抵抗が小さい。このため、トランジスタの動作速度を一層向上することができ、高周波数のサージに対してもサージ保護回路が動作可能となる。

【0046】

(実施の形態4)

図8は、本発明の実施の形態4におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図9は図8のIX-IX線に沿った断面図である。

【0047】

図8および図9を参照して、本実施の形態においては、ダイオード22が以下のように構成されている。

【0048】

すなわち、ダイオード22において、カソード領域は、n⁻エピタキシャル層4内に形成されたn⁺拡散層8c（第1のカソード領域）と、n⁻エピタキシャル層4と、n⁻エピタキシャル層4内に形成されたn型拡散層5（第2のカソード領域）とにより構成されている。アノード領域は、n⁻エピタキシャル層4内に形成されたp型拡散層6aと、n型拡散層5およびp型拡散層6a内に形成されたp⁺拡散層9とにより構成されている。なお、p⁺拡散層3bとp型拡散層6bとn⁺拡散層8bとは形成されていない。

【0049】

本実施の形態においては、ツェナー降伏が生じるp n接合は、p⁺拡散層9とn型拡散層5とにより構成されている。ここで、p⁺拡散層9はn型拡散層5の上面を覆うように形成されている。半導体基板41を上面から見た場合（図8）におけるp⁺拡散層9の外周部分は、p型拡散層6aと電気的に接続されている

。また、n型拡散層5の側面を取り囲むようにp型拡散層6aが形成されている。これによりp⁺拡散層9およびp型拡散層6aで構成されるアノード領域は四角柱の形状となり、この四角柱の内部にカソード領域であるn型拡散層5が形成されている。したがって、ツェナー降伏が生じるpn接合(p⁺拡散層9とn型拡散層5)により構成されるpn接合)はこの四角柱の内部に構成されることとなり、フィールド酸化膜7から離れている。

【0050】

なお、これ以外の構成については図1～図3に示す実施の形態1の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0051】

本実施の形態のサージ保護回路を備えた半導体装置においては、カソード領域であるn型拡散層5の上面を覆うように、ツェナー降伏が生じるpn接合を構成するアノード領域であるp⁺拡散層9が形成されている。

【0052】

これにより、ツェナー降伏が生じるpn接合がフィールド酸化膜7から離れている構成を容易に作製できる。したがって、ツェナー降伏が生じるpn接合の空乏層中の電子がフィールド酸化膜7にトラップされ空乏層幅が広がることによりダイオード22の降伏電圧が上ガることを容易に防止できる。

【0053】

なお、本実施の形態においては、カソード領域であるn型拡散層5の上面を覆うように、ツェナー降伏が生じるpn接合を構成するアノード領域であるp⁺拡散層9が形成されている場合について示したが、本発明はこのような場合に限定されるものではなく、カソード領域であるn型拡散層5の側面を覆うように、ツェナー降伏が生じるpn接合を構成するアノード領域が形成されていてもよい。

【0054】

(実施の形態5)

図10は、本発明の実施の形態5におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図11は図10のX1-X1線に沿った断

面図である。

【0055】

図10および図11を参照して、本実施の形態においては、ダイオード22が以下のように構成されている。

【0056】

すなわち、ダイオード22において、アノード領域は、 n^- エピタキシャル層4内に形成された p^+ 拡散層3bと、 n^- エピタキシャル層4内に形成されたp型拡散層6aにより構成されている。カソード領域は、 n^- エピタキシャル層4内に形成された n^+ 拡散層8c（第1のカソード領域）と、 n^- エピタキシャル層4と n^+ 拡散層2（第2のカソード領域）により構成されている。p型拡散層6aは、 p^+ 拡散層3bと接触するように、 n^- エピタキシャル層4内に広く形成されている。なお、n型拡散層5とp型拡散層6bとは形成されていない。

【0057】

本実施の形態においては、ツェナー降伏が生じるpn接合は、 p^+ 拡散層3bと n^+ 拡散層2により構成されている。 p^+ 拡散層3bと n^+ 拡散層2とはともに n^- エピタキシャル層4の内部（図11中下側）に形成されていて、ツェナー降伏が生じるpn接合は、フィールド酸化膜7から離れている。

【0058】

なお、これ以外の構成については図1～図3に示す実施の形態1の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0059】

本実施の形態においては、ツェナー降伏が生じるpn接合は、ともに不純物濃度の高い領域である p^+ 拡散層3bと n^+ 拡散層2により構成されている。しかしながら、以下の理由によりpn接合部分の p^+ 拡散層3bの不純物濃度が局所的に低くなっている。

【0060】

すなわち、 p^+ 拡散層3bは、たとえば約 10^{14} 個/ cm^2 の注入量でBを p^- 基板1に注入し、たとえば1150℃の熱処理を行なうことにより形成されてい

る。 n^+ 拡散層2は、たとえば約 10^{15} 個/ cm^2 の注入量でSb(アンチモン)を p^- 基板1に注入し、たとえば1180°Cの熱処理を行なうことにより形成されている。このとき、SbはBよりも拡散係数が小さいため、Sbの拡散により、 n^+ 拡散層2は p^- 基板1付近に形成される。一方、BはSbよりも拡散係数が大きいため、Bの拡散により、 p^+ 拡散層3bは n^+ 拡散層2よりも半導体基板41表面に近い領域(図11中上側)に形成される。このようにして形成された p^+ 拡散層3bにおいては、 p^+ 拡散層3b内部においても不純物濃度差が生じている。つまり、 p^+ 拡散層3b内部において、半導体基板41表面に近い部分(図11中上側)では局所的にBの不純物濃度が高くなっている。一方、 n^+ 拡散層2とのpn接合部分では局所的にBの不純物濃度が低くなっているので、pn接合の空乏層幅が広くなる。これにより、電流のリークが生じず、かつ正常に動作するサージ保護回路を備えた半導体装置が得られる。

【0061】

また、本実施の形態においては、ツェナー降伏が生じるpn接合を構成する p^+ 拡散層3bと n^+ 拡散層2とは、ともに半導体基板41内に形成された n^- エピタキシャル層4の内部に形成されている。これにより、ツェナー降伏が生じるpn接合が半導体基板41の内部(図11中下側)に形成されるので、サージ保護回路31で発生した熱を効率良く半導体基板41へ放出することができる。

【0062】

実施の形態1～5においては、図1の回路を有する半導体装置の場合について説明したが、本発明はこのような場合に限られるものではなく、信号入力端子に電気的に接続され、かつダイオードとトランジスタとを有するサージ保護回路を備えた半導体装置であればよい。また、不純物拡散領域の形成方法については、本実施の形態における条件に限られるものではなく、他の条件であってもよい。

【0063】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内のすべての変更が含まれることが意図される。

【0064】

【発明の効果】

以上により、本発明の半導体装置は、導電層と電気的に接続されている第1のカソード領域と、ツェナー降伏が生じるpn接合を構成している第2のカソード領域とが別々に形成されている。したがって、第1のカソード領域の不純物濃度を高くすることにより導電層との接触抵抗を下げることができる。また、アノード領域と第2のカソード領域との不純物濃度を低くすることにより、電流のリークを防止できる。さらに、ツェナー降伏が生じるアノード領域と第2のカソード領域とのpn接合がフィールド酸化膜から離れているので、アノード領域とカソード領域とのpn接合の空乏層中に存在する電子がフィールド酸化膜にトラップされ、これによりpn接合の空乏層が広がり、ダイオードの降伏電圧が上昇するという問題を解決できる。したがって、電流のリークが生じず、かつ正常に動作するサージ保護回路を備えた半導体装置が得られる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1におけるサージ保護回路を示す回路図である。

【図2】 本発明の実施の形態1におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図3】 図2のIII-III線に沿った断面図である。

【図4】 (a) 従来のサージ保護回路を備えた半導体装置の電流・電圧特性を示した図である。 (b) 本発明の実施の形態1におけるサージ保護回路を備えた半導体装置の電流・電圧特性を示した図である。

【図5】 本発明の実施の形態2におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図6】 図5のVI-VI線に沿った断面図である。

【図7】 本発明の実施の形態3におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図8】 本発明の実施の形態4におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図9】 図8のIX-IX線に沿った断面図である。

【図10】 本発明の実施の形態5におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

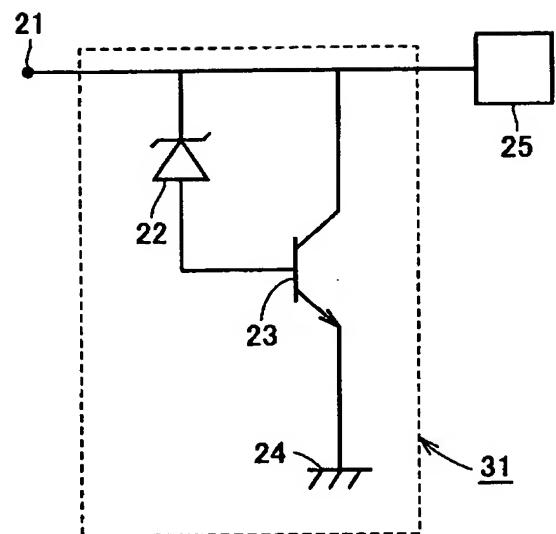
【図11】 図10のXI-XI線に沿った断面図である。

【符号の説明】

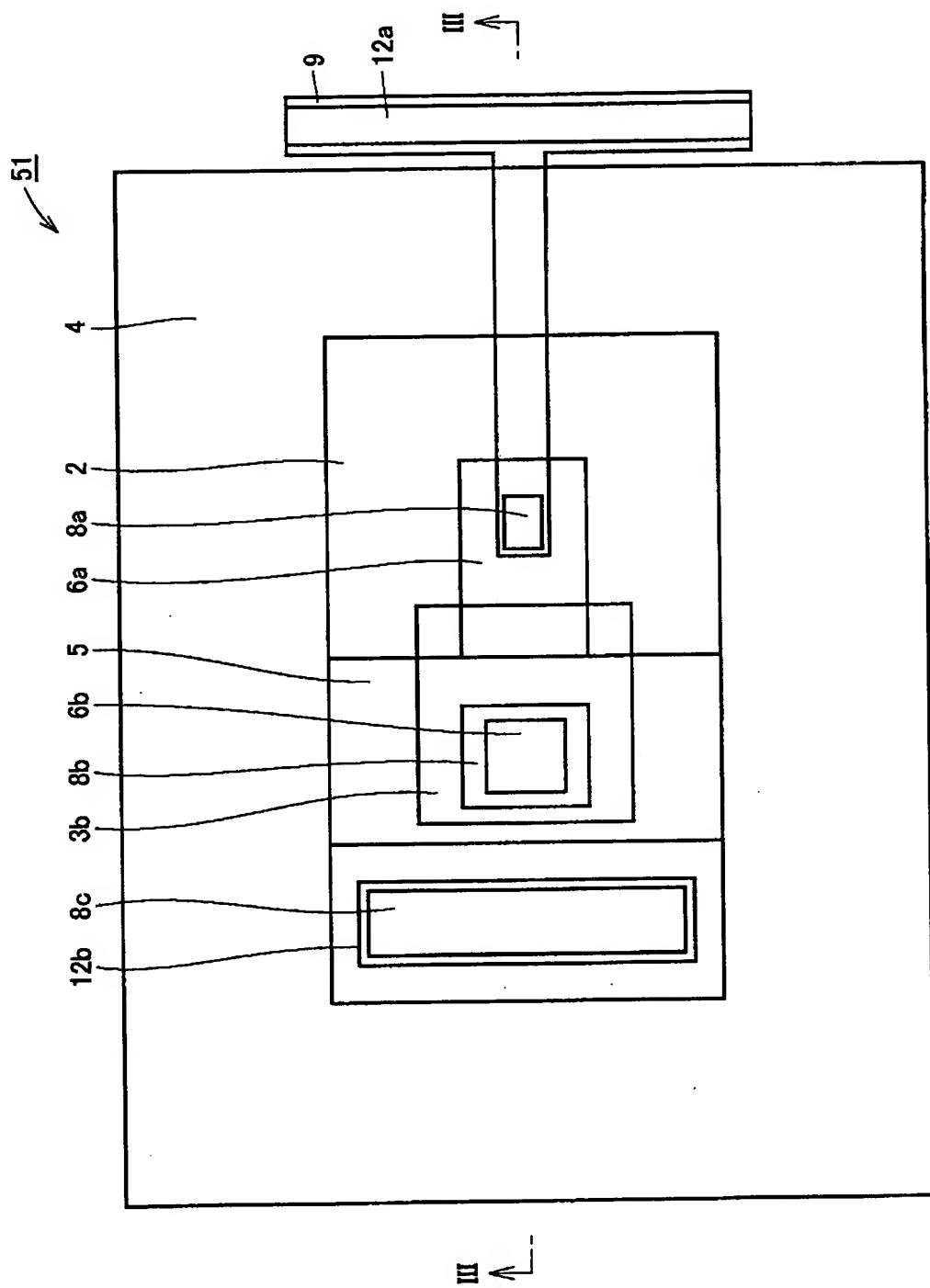
1 p⁻領域、2 n⁺拡散層、3a, 3b p⁺拡散層、4 n⁻エピタキシャル層、5 n型拡散層、6a, 6b p型拡散層、7 フィールド酸化膜、8a ~ 8c n⁺拡散層、9 p⁺拡散層、10 層間絶縁膜、11a ~ 11c コンタクトホール、12a, 12b 配線、13a, 13b n⁺拡散層、21 信号入力端子、22 ダイオード、23 n p nトランジスタ、24 接地電位、25 装置部分、31 サージ保護回路、41 半導体基板、51 半導体装置

【書類名】 図面

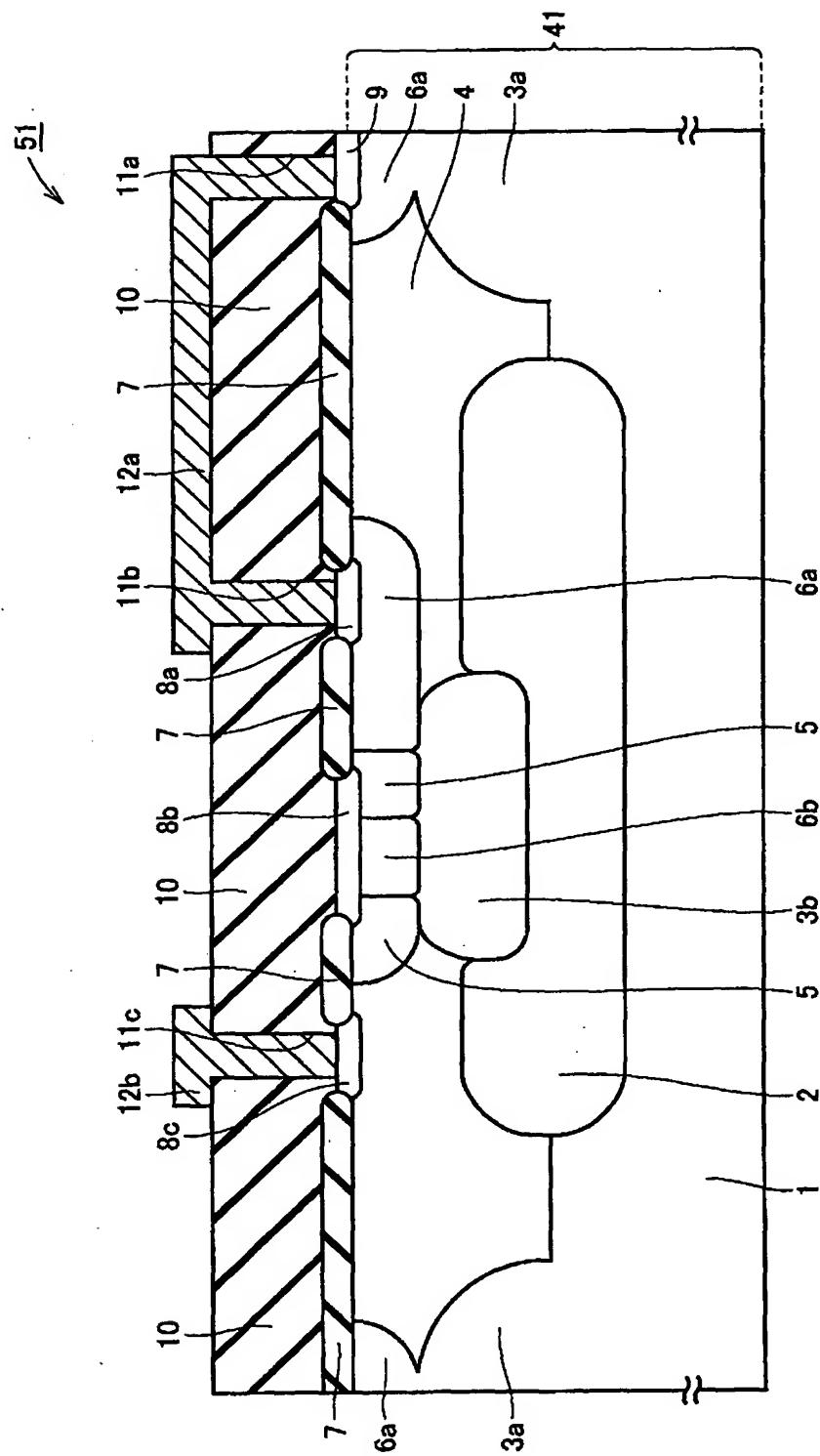
【図1】



【図2】

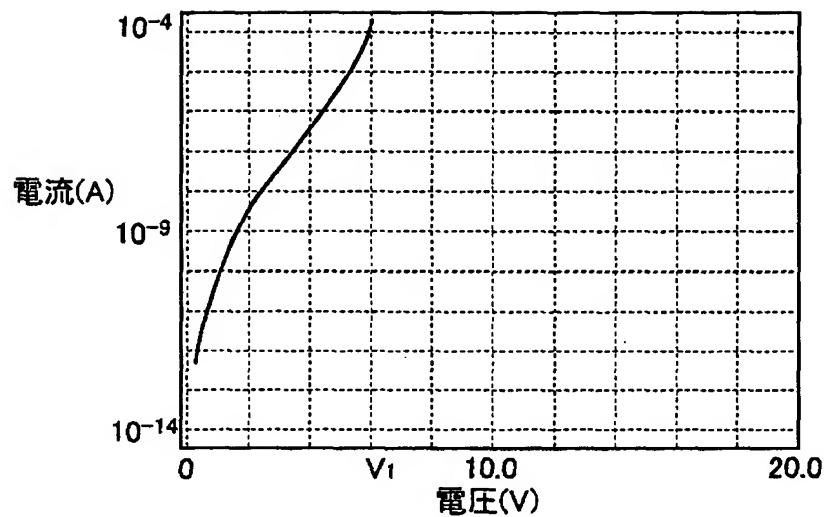


【図3】

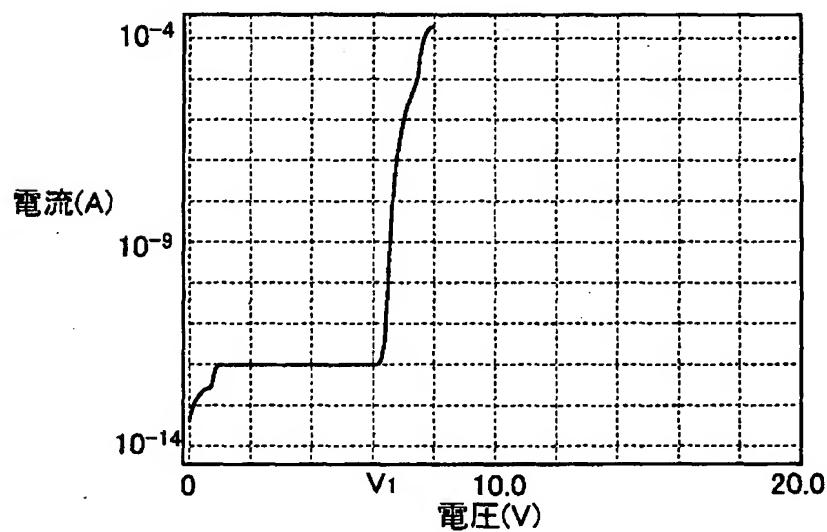


【図4】

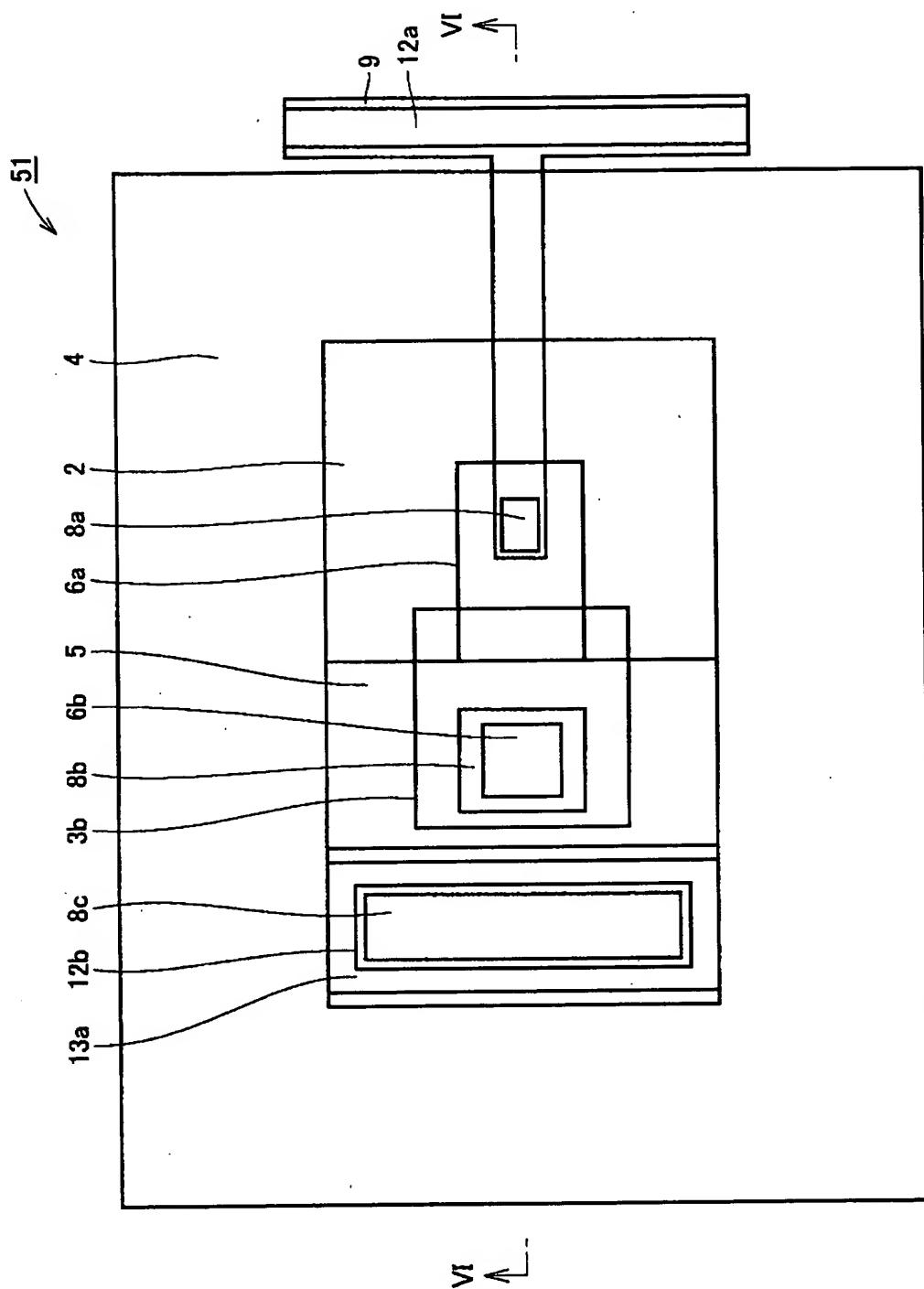
(a)



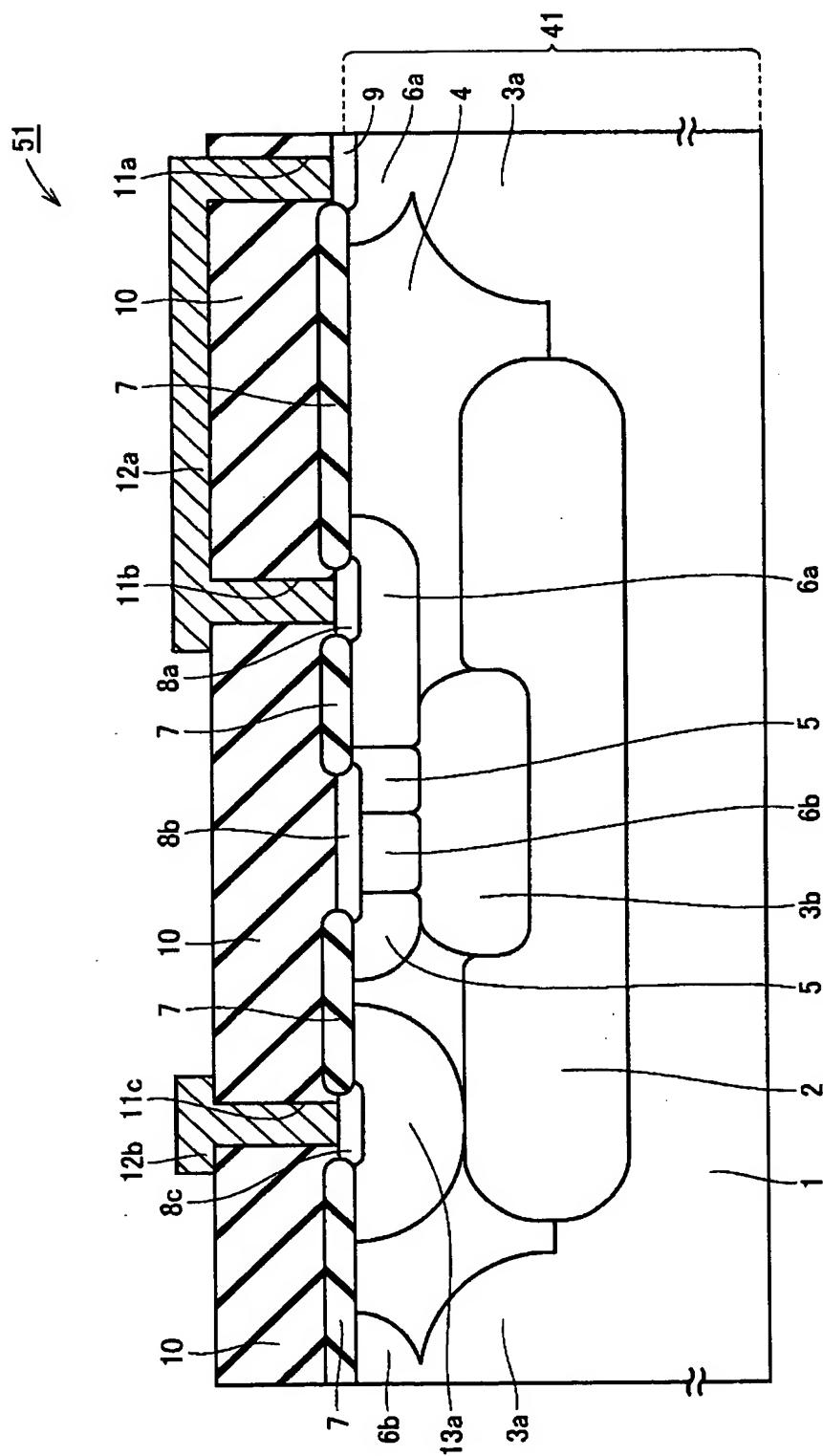
(b)



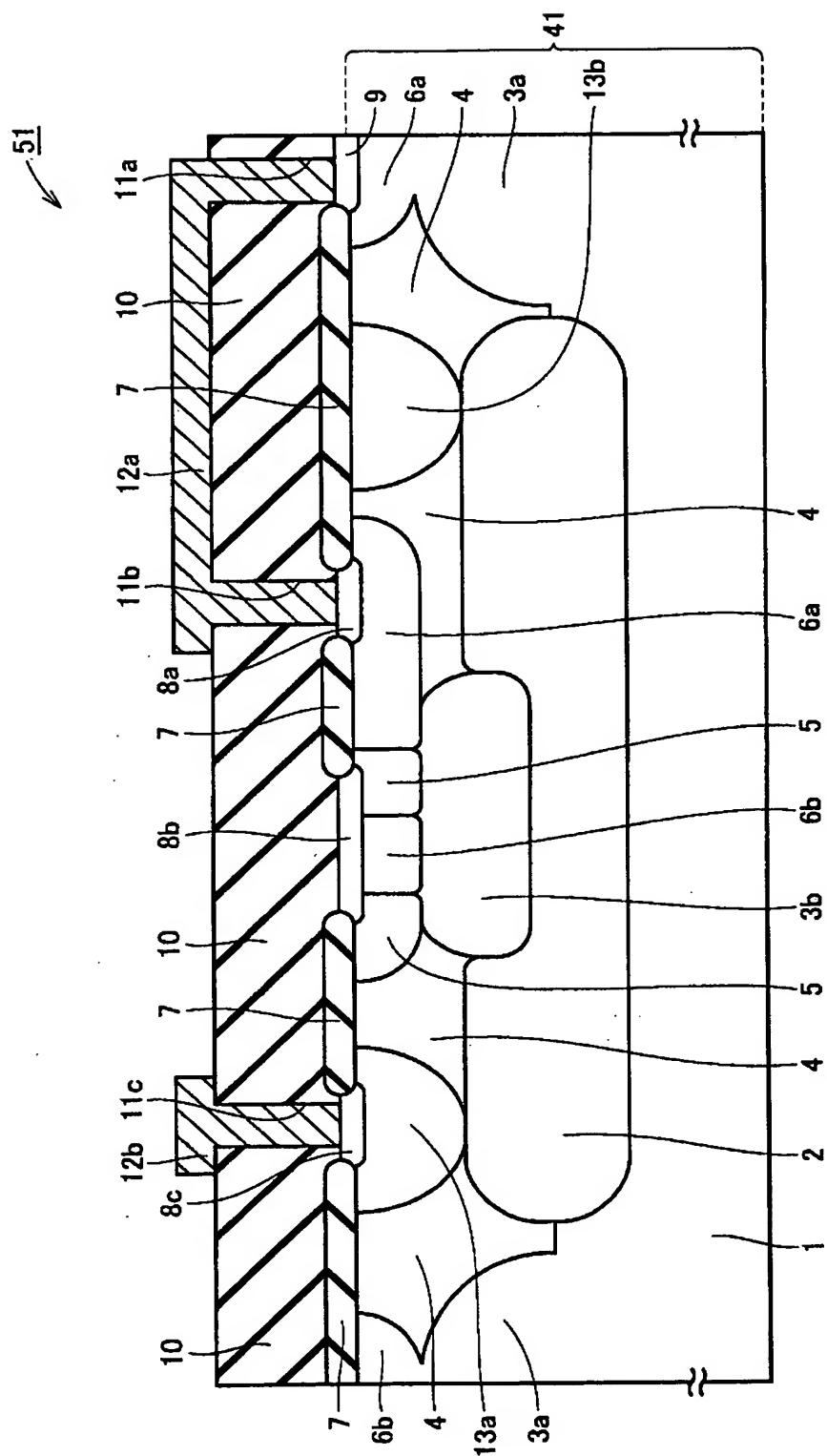
【図5】



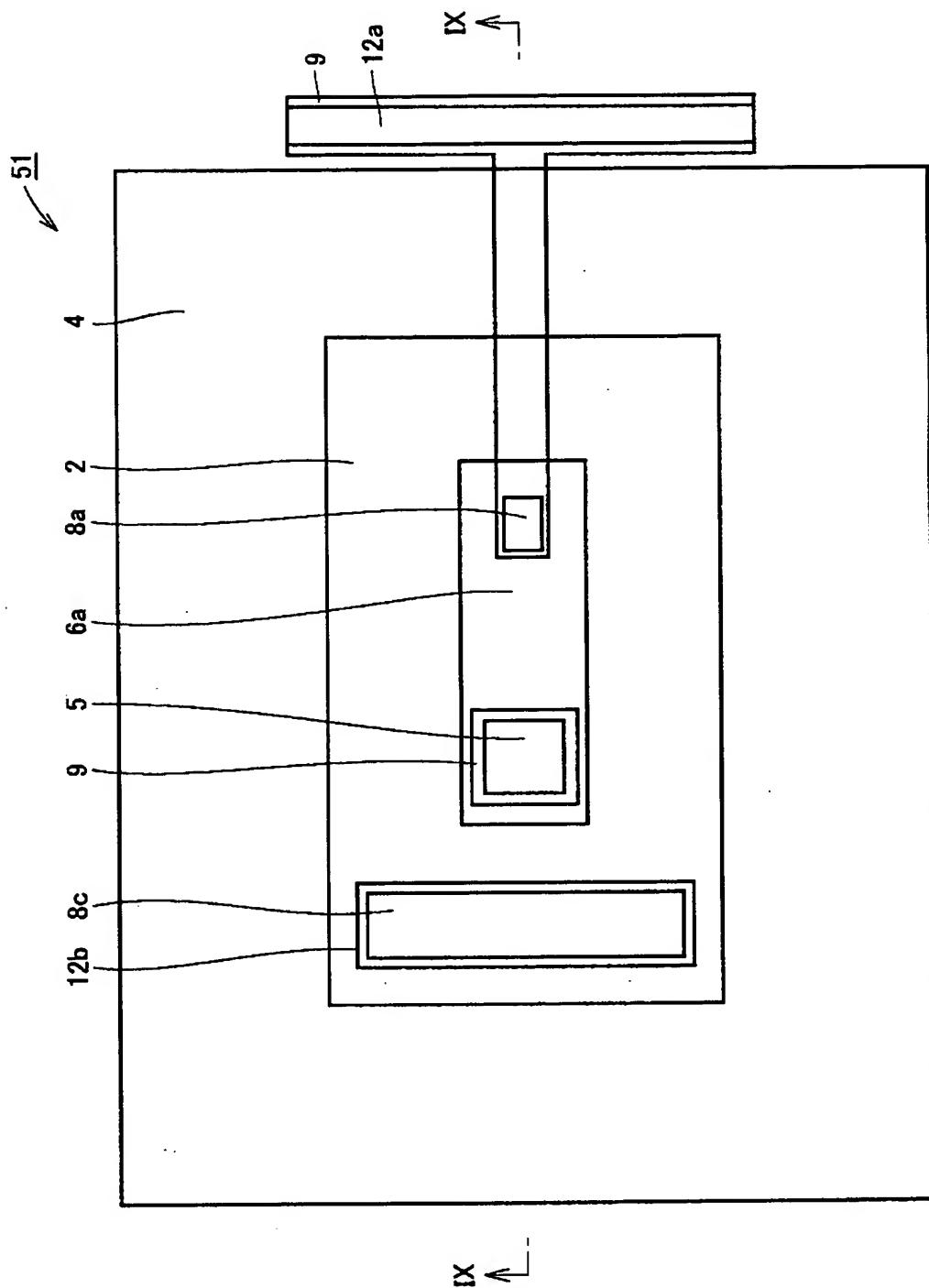
【図6】



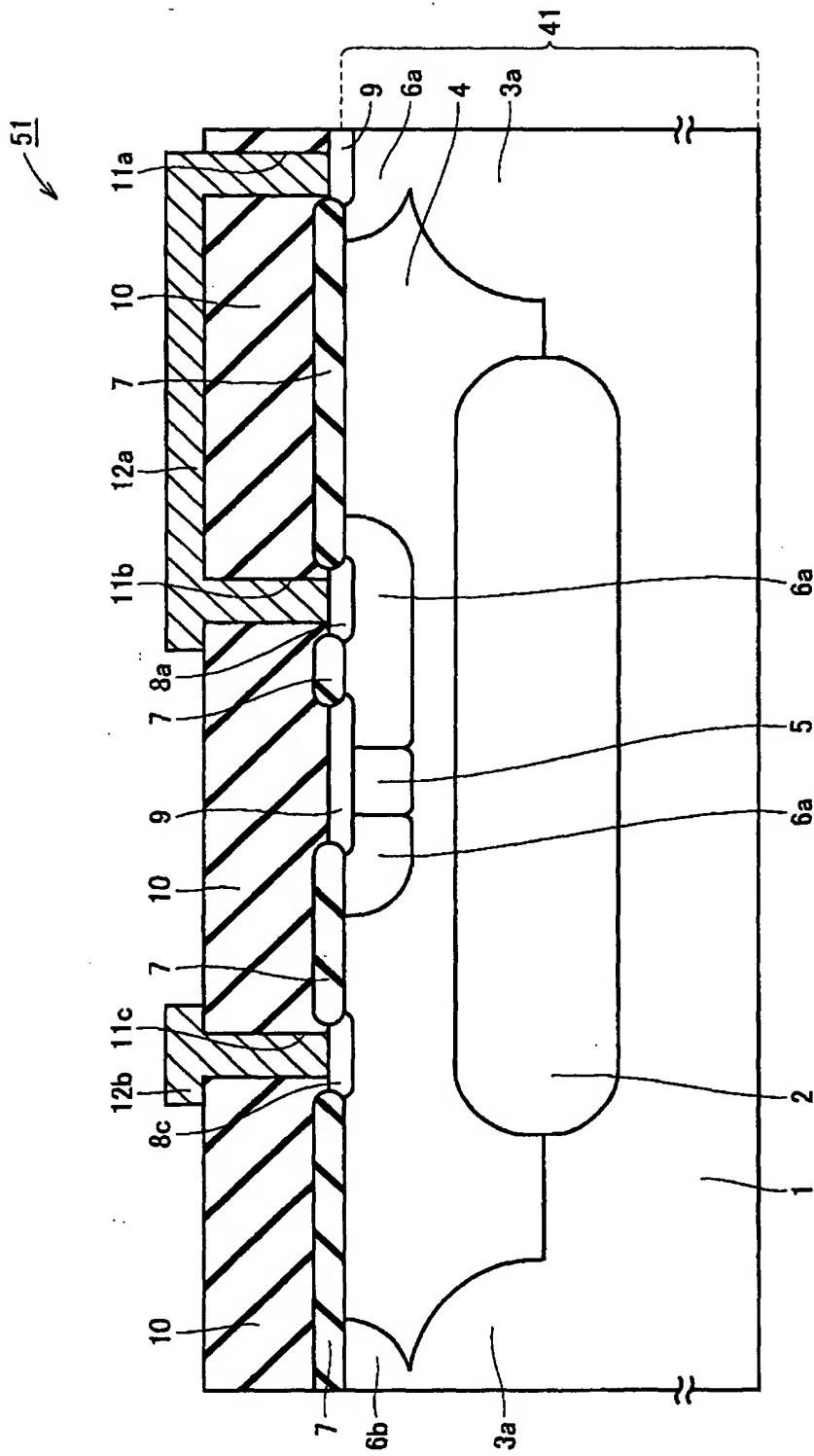
【図7】



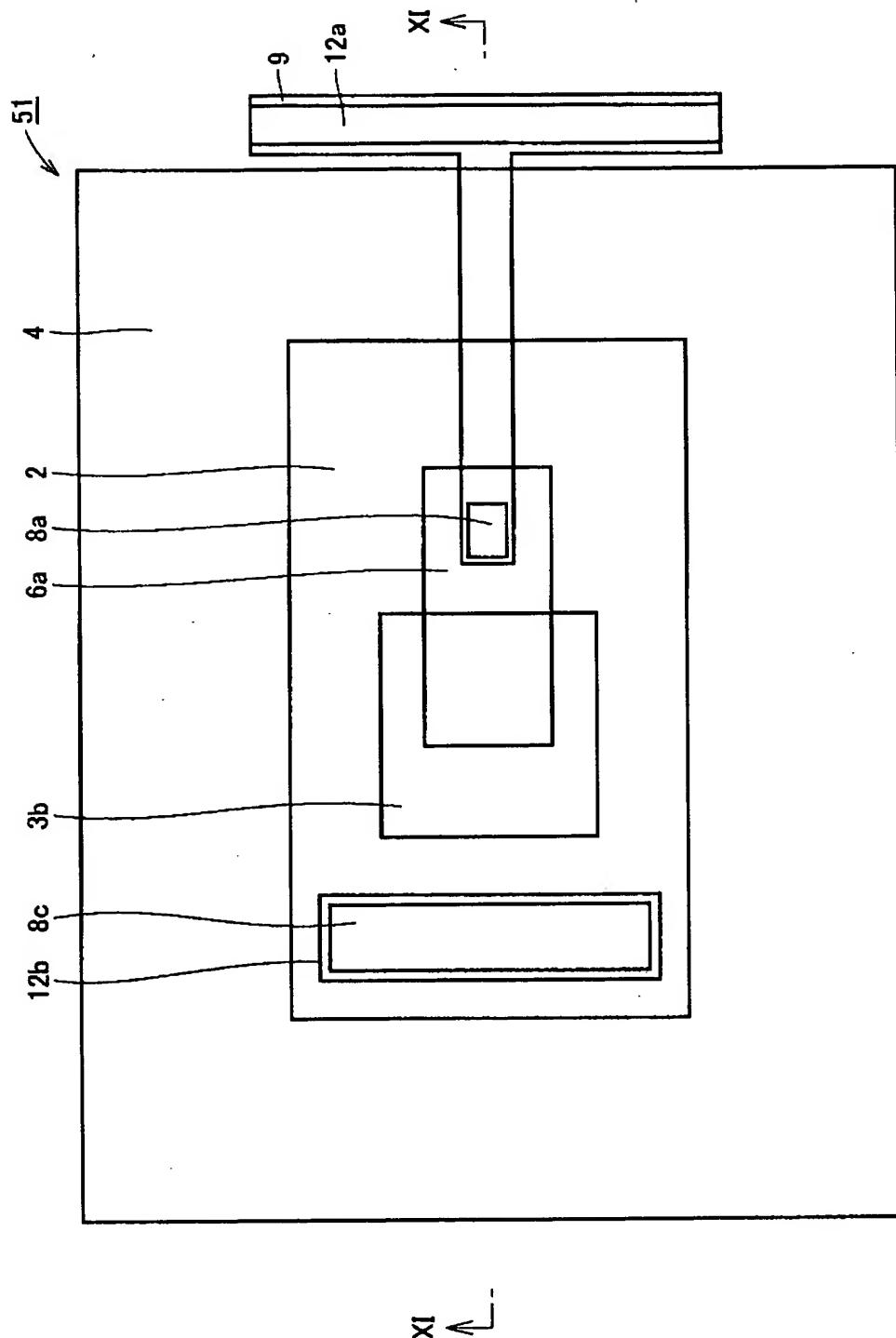
【図8】



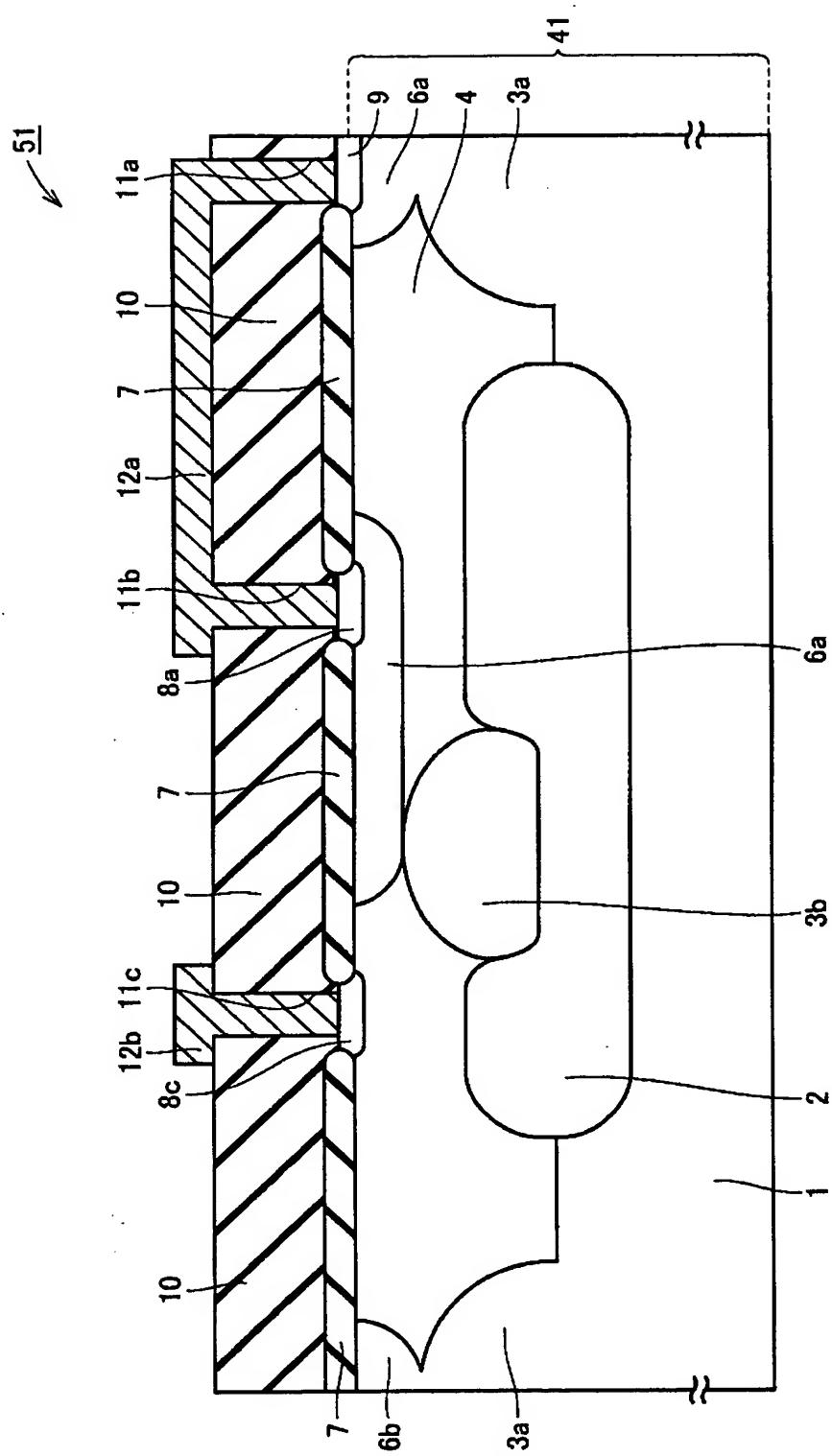
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 電流のリークが生じず、かつ正常に動作するサージ保護回路を備えた半導体装置を提供する。

【解決手段】 本発明の半導体装置51は、信号入力端子21に電気的に接続され、かつダイオード22とトランジスタ23とを有するサージ保護回路を備えた半導体装置51であって、主表面を有する半導体基板41と、その主表面に形成されたフィールド酸化膜7と、その主表面上に形成され、かつ信号入力端子21に電気的に接続された導電層12a、12bとを備えている。ダイオード22のカソード領域は、 n^+ 拡散層8cと、 n^- エピタキシャル層4と、 n 型拡散層5と、 n^+ 拡散層8bとで構成されている。 n^+ 拡散層8cは、配線12bと電気的に接続して半導体基板41の主表面に形成されている。 n^+ 拡散層8bは、 p 型拡散層6bとツェナー降伏が生じるpn接合を構成し、ツェナー降伏が生じるpn接合は、フィールド酸化膜7から離れている。

【選択図】 図3

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社